

TITLE OF THE INVENTION

半導体装置

SEMICONDUCTOR DEVICE

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the benefit of priority from the prior Japanese Patent Application No. 2002-231094, filed August, 8, 2002; the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

本発明は、キャパシタを有する半導体装置に関する。

2. Description of the Related Art

キャパシタの誘電体膜にP Z T (Pb (Zr, Ti) O₃) 等の強誘電体膜を用いた不揮発性メモリ (例えば、F e R A M) の開発が行われている。このような強誘電体メモリの構造の一つとして、プラグ上にキャパシタの下部電極が形成されたC O P (Capacitor On Plug) 構造が知られている。

しかしながら、C O P構造を用いた場合、アニール工程におけるプラグの酸化が大きな問題となる。強誘電体メモリの製造に際しては、強誘電体膜を結晶化するためのアニールや、キャパシタ加工時のダメージを回復するためのリカバリーアニールなど、酸素を含有した雰囲気でのアニール工程が行われる。このアニール工程によってプラグが酸化され、プラグ抵抗の増大やコンタクト抵抗の増大が生じる。

プラグへの酸素の拡散経路としては、強誘電体膜中の拡散経路、下部電極の直下に形成された絶縁膜中の拡散経路が考えられる。前者については、酸素に対するバリア性の高い材料を下部電極に用いることで、改善がはかられている。しながら、後者については十分な対策がなされておらず、プラグが酸化される大きな要因となっている。

このように、C O P構造を有する強誘電体メモリでは、プラグの酸化が大きな問題となっているが、従来は十分な対策が施されておらず、素子の特性や信頼性

を低下させる大きな要因となっていた。

BRIEF SUMMARY OF THE INVENTION

本発明の第1の視点では、絶縁膜と、前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記キャパシタ及び前記絶縁膜を覆い、前記絶縁膜よりも酸素透過性が低い酸素バリア膜と、を備えた半導体装置を提供する。

本発明の第2の視点では、絶縁膜と、前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記絶縁膜と前記プラグとの間に設けられ、前記絶縁膜よりも酸素透過性が低い酸素バリア膜と、を備えた半導体装置を提供する。

本発明の第3の視点では、前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記キャパシタ及び前記絶縁膜を覆い、前記絶縁膜よりも酸素透過性が低い第1の酸素バリア膜と、前記絶縁膜と前記プラグとの間に設けられ、前記絶縁膜よりも酸素透過性が低い第2の酸素バリア膜と、を備えた半導体装置を提供する。

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

図1は、本発明の第1の実施形態に係る半導体装置の構造を模式的に示した断面図である。

図2は、本発明の第1の実施形態の変更例に係る半導体装置の構造を模式的に示した断面図である。

図3は、本発明の第2の実施形態に係る半導体装置の構造を模式的に示した断面図である。

図4A乃至図4Dはそれぞれ、本発明の第2の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

図5は、本発明の第3の実施形態に係る半導体装置の構造を模式的に示した断面図である。

DETAILED DESCRIPTION OF THE INVENTION

以下、本発明の実施形態を図面を参照して説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置（COP構造を有する強誘電体メモリ）の構造を模式的に示した断面図である。

シリコン基板等の半導体基板11上には、MISトランジスタ12が形成されており、MISトランジスタ12を覆うように層間絶縁膜（例えば、TEOSを用いたシリコン酸化膜）13が形成されている。

層間絶縁膜13上には、酸素バリア膜14が形成され、酸素バリア膜14上には絶縁膜（キャパシタ下に設けられた下地絶縁膜）15が形成されている。酸素バリア膜14には、例えばLPCVD（Low Pressure CVD）法によって形成されたシリコン窒化膜が用いられる。絶縁膜15には、例えばTEOSを用いてLPCVD法によって形成されたシリコン酸化膜が用いられる。

トランジスタ12のソース及びドレインの一方には、プラグ16が接続されている。プラグ16は、層間絶縁膜13、酸素バリア膜14及び絶縁膜15を貫通し、キャパシタの下部電極21に接続されている。プラグ16には、タンゲステン（W）或いはポリシリコン等の導電材料が用いられる。

キャパシタ（強誘電体キャパシタ）は、下部電極21と、下部電極21上に形成された強誘電体膜22と、強誘電体膜22上に形成された上部電極23とを備えている。下部電極21及び上部電極23には、例えばイリジウム（Ir）膜或いは酸化イリジウム（IrO₂）膜が用いられる。これらの材料は、酸素に対するバリア性が高い。そのため、特に下部電極21にこれらの材料を用いることで、強誘電体膜22からプラグ16に向かう酸素の拡散を抑制することができる。強誘電体膜22には、例えばPZT膜（Pb（Zr, Ti）O₃膜）が用いられる。

キャパシタの上部電極23上には、水素バリア膜31として、酸化アルミニウム（Al₂O₃：アルミナ）膜が形成されている。水素バリア膜31上には、TEOSを用いたシリコン酸化膜32が形成されている。CVD法によってシリコン酸化膜32を形成する際に、成膜雰囲気に含まれている水素が強誘電体膜22に

拡散すると、水素の還元作用によってキャパシタの特性が劣化する。水素バリア膜31は、このような水素の拡散を抑制するためのものである。強誘電体膜22、上部電極23、水素バリア膜31及びシリコン酸化膜32の周囲には、水素バリア膜33として Al_2O_3 膜が形成されており、水素バリア膜33上にはTEOSを用いたシリコン酸化膜34が形成されている。水素バリア膜33の機能は、上述した水素バリア膜31と同様である。

本実施形態の強誘電体メモリは、上述した構成に加えて、さらに酸素バリア膜41を備えている。酸素バリア膜41は、RIEによって絶縁膜15等をパターニングした後、絶縁膜15及びキャパシタ（下部電極21、強誘電体膜22及び上部電極23）等で構成された積層構造の周囲全体を覆うように形成される。

酸素バリア膜41は、絶縁膜（シリコン酸化膜）15よりも酸素透過性が低い。すなわち、単位厚さあたりで比較した場合、酸素バリア膜41は絶縁膜15よりも酸素の透過率が低い。具体的には、酸素バリア膜41として、シリコン窒化膜（SiN膜）、シリコン酸窒化膜（SiON膜）、酸化アルミニウム膜（ Al_2O_3 膜）或いは酸化チタン膜（ TiO_2 膜）を用いる。また、これらの積層膜を酸素バリア膜41として用いることも可能である。シリコン窒化膜及びシリコン酸窒化膜の形成には、例えばプラズマCVDやLPCVD等のCVD法が用いられる。

以上述べたように、本実施形態では、絶縁膜15及びキャパシタ等で構成された積層構造全体が酸素バリア膜41によって覆われている。そのため、図1に示した構造を作製した後、酸素を含む雰囲気中でアニールを行う際に、絶縁膜15内への酸素の侵入を抑制することができる。その結果、アニール工程でのプラグ16の酸化を防止することができる。したがって、プラグ抵抗の増大やコンタクト抵抗の増大を抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。例えば、プラグ16にWプラグやポリシリコンプラグを用いた場合には、酸化の影響が大きいため、上記構造はより効果的である。

また、本実施形態では、絶縁膜15の下には酸素バリア膜14が形成され、絶縁膜15及びプラグ16の上には、酸素に対するバリア性が高いIr膜或いはIrO₂膜を用いた下部電極21が形成されている。したがって、プラグ16への

酸素の拡散をより確実に抑制することができ、プラグ 1 6 の酸化をより確実に防止することができる。

図 2 は、本実施形態の変更例に係る半導体装置の構造を模式的に示した断面図である。

基本的な構造は図 1 と同様であるが、本変更例では、上述した積層構造全体を覆う水素バリア膜 4 2 を、酸素バリア膜 4 1 と積層構造との間に設けている。水素バリア膜 4 2 には、絶縁膜（シリコン酸化膜）1 5 よりも水素の透過性が低い膜、具体的には Al_2O_3 膜を用いることが望ましい。

酸素バリア膜 4 1 として、プラズマ CVD 或いは L P C V D によって形成されたシリコン窒化膜或いはシリコン酸窒化膜を用いた場合、成膜雰囲気には水素が多く含有されている。すでに説明したように、成膜雰囲気に含まれた水素が強誘電体膜 2 2 に拡散すると、キャパシタの特性が劣化してしまう。水素バリア膜としては、 Al_2O_3 膜 3 1 及び 3 3 がすでに形成されているが、酸素バリア膜 4 1 を形成する際に、例えば絶縁膜 1 5 を通してキャパシタ内に水素が侵入するおそれがある。本実施形態では、水素バリア膜 4 2 を設けることで、酸素バリア膜 4 1 を形成する際のキャパシタ中への水素の拡散をより確実に抑制することができる。

（第 2 の実施形態）

図 3 は、本発明の第 2 の実施形態に係る半導体装置（C O P 構造を有する強誘電体メモリ）の構造を模式的に示した断面図である。なお、図 1 に示した構成要素と対応する構成要素については同一の参照番号を付し、それらの詳細な説明は省略する。

本実施形態では、図 3 に示すように、プラグ 1 6 の周囲に酸素バリア膜 1 7 を設けている。すなわち、層間絶縁膜（シリコン酸化膜）1 3、酸素バリア膜 1 4 及び絶縁膜（シリコン酸化膜）1 5 の積層膜とプラグ 1 6 との間に、酸素バリア膜 1 7 を設けている。この酸素バリア膜 1 7 は、第 1 の実施形態で説明した酸素バリア膜 4 1 と同様、絶縁膜（シリコン酸化膜）1 5 よりも酸素透過性が低い。すなわち、単位厚さあたりで比較した場合、酸素バリア膜 1 7 は絶縁膜 1 5 よりも酸素の透過率が低い。具体的には、酸素バリア膜 1 7 として、シリコン窒化膜

(SiN膜)、シリコン酸窒化膜(SiON膜)、酸化アルミニウム膜(Al₂O₃膜)或いは酸化チタン膜(TiO₂膜)を用いる。また、これらの積層膜を酸素バリア膜17として用いることも可能である。シリコン窒化膜及びシリコン酸窒化膜の形成には、例えばプラズマCVDやLPCVD等のCVD法が用いられる。

図4A乃至図4Dは、図3に示したプラグ16及び酸素バリア膜17の形成方法を模式的に示した断面図である。

まず、図4Aに示すように、層間絶縁膜13、酸素バリア膜14及び絶縁膜15に、RIE法によってコンタクトホール18を開ける。次に、図4Bに示すように、コンタクトホール18を含む全面に酸素バリア膜17をCVD法等によって形成する。続いて、図4Cに示すように、酸素バリア膜17に対してエッチバックを行い、コンタクトホール18の側壁に酸素バリア膜17を残す。その後、図4Dに示すように、コンタクトホール18を含む全面に、プラグ材料としてタンクステン(W)或いはポリシリコン等を用いた導電材料膜を形成する。さらに、CMP法等によって余分なプラグ材料を除去することで、コンタクトホール18内にプラグ17を形成する。

このように本実施形態では、プラグ16の周囲に酸素バリア膜17が形成されている。そのため、図3に示した構造を作製した後、酸素を含む雰囲気中でアニールを行う際に、絶縁膜15からプラグ16に拡散してくる酸素を酸素バリア膜17によってブロックすることができる。したがって、プラグ16への酸素の侵入を抑えることができ、アニール工程でのプラグ16の酸化を防止することができる。その結果、プラグ抵抗の増大やコンタクト抵抗の増大を抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。

(第3の実施形態)

図5は、本発明の第3の実施形態に係る半導体装置(COP構造を有する強誘電体メモリ)の構造を模式的に示した断面図である。

本実施形態は、第1の実施形態で説明した酸素バリア膜41及び第2の実施形態で説明した酸素バリア膜17の両方を設けたものである。その他の基本的な構成については、第1の実施形態及び第2の実施形態と同様であり、それらの詳細

な説明は省略する。なお、図5の例は、図1及び図3の構造を組み合わせた構造に対応するが、図2及び図3の構造を組み合わせて、酸素バリア膜41の内側に図2に示した水素バリア膜42を設けるようにしてもよい。

本実施形態では、酸素バリア膜41及び17を設けることで、プラグ16への酸素の侵入をより確実に抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

WHAT IS CLAIMED IS:

1. 絶縁膜と、

前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、

前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記キャパシタ及び前記絶縁膜を覆い、前記絶縁膜よりも酸素透過性が低い酸素バリア膜と、

を備えた半導体装置。

2. クレーム 1 の半導体装置において、

前記絶縁膜の下に設けられ、前記絶縁膜よりも酸素透過性が低い膜をさらに備える。

3. クレーム 1 の半導体装置において、

前記キャパシタ及び前記絶縁膜を覆い、前記酸素バリア膜の内側に設けられ、前記絶縁膜よりも水素透過性が低い水素バリア膜をさらに備える。

4. クレーム 1 の半導体装置において、

前記プラグに電気的に接続されたトランジスタをさらに備える。

5. クレーム 1 の半導体装置において、

前記酸素バリア膜は、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜及び酸化チタン膜の少なくとも一つを含む。

6. クレーム 1 の半導体装置において、

前記プラグは、タンクステン又はポリシリコンで形成されている。

7. クレーム 1 の半導体装置において、

前記下部電極は、イリジウムを含有する。

8. クレーム 1 の半導体装置において、

前記誘電体膜は、強誘電体膜を含む。

9. 絶縁膜と、

前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、

前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記絶縁膜と前記プラグとの間に設けられ、前記絶縁膜よりも酸素透過性が低い酸素バリア膜と、

を備えた半導体装置。

10. クレーム9の半導体装置において、

前記絶縁膜の下に設けられ、前記絶縁膜よりも酸素透過性が低い膜をさらに備える。

11. クレーム9の半導体装置において、

前記プラグに電気的に接続されたトランジスタをさらに備える。

12. クレーム9の半導体装置において、

前記酸素バリア膜は、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜及び酸化チタン膜の少なくとも一つを含む。

13. クレーム9の半導体装置において、

前記プラグは、タンクステン又はポリシリコンで形成されている。

14. クレーム9の半導体装置において、

前記下部電極は、イリジウムを含有する。

15. クレーム9の半導体装置において、

前記誘電体膜は、強誘電体膜を含む。

16. 絶縁膜と、

前記絶縁膜上に設けられ、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、

前記絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記キャパシタ及び前記絶縁膜を覆い、前記絶縁膜よりも酸素透過性が低い第1の酸素バリア膜と、

前記絶縁膜と前記プラグとの間に設けられ、前記絶縁膜よりも酸素透過性が低い第2の酸素バリア膜と、

を備えた半導体装置。

ABSTRACT OF THE DISCLOSURE

絶縁膜と、絶縁膜上に設けられ、下部電極と、上部電極と、上部電極と下部電極との間に設けられた誘電体膜とを備えたキャパシタと、絶縁膜を貫通し、下部電極に接続されたプラグと、キャパシタ及び前記絶縁膜を覆い、絶縁膜よりも酸素透過性が低い酸素バリア膜と、を備えた半導体装置が開示されている。